

DIALOG(R)File 347:JAPIO

(c) 2000 JPO & JAPIO. All rts. reserv.

01762769 \*\*Image available\*\*

MANUFACTURE OF THIN FILM TRANSISTOR

PUB. NO.: 60-241269 [JP 60241269 A]

PUBLISHED: November 30, 1985 (19851130)

INVENTOR(s): IWANO HIDEAKI

APPLICANT(s): SEIKO EPSON CORP [000236] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 59-097892 [JP 8497892]

FILED: May 16, 1984 (19840516)

INTL CLASS: [4] H01L-029/78; H01L-021/28; H01L-027/12; H01L-029/62

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R004 (PLASMA); R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS)

JOURNAL: Section: E, Section No. 396, Vol. 10, No. 99, Pg. 120, April 16, 1986 (19860416)

### ABSTRACT

PURPOSE: To manufacture the titled device of high mutual conductance and excellent stability by a method wherein an Si thin film and an insulation thin film are deposited on a substrate and then kept in a plasma atmosphere.

CONSTITUTION: After a polycrystalline Si thin film 2 is deposited on the insulation substrate 1, a gate insulation film 3 is deposited on this thin film. Thereafter, this is placed in a high frequency plasma generator, and a plasma made of nitrogen ions is generated. As a result, nitrogen ions penetrate into the SiO<sub>2</sub> of the gate insulation film 3; therefore, the SiO<sub>2</sub> is turned nitrided while defects are filled. A gate 4 is formed after the plasma nitriding of the SiO<sub>2</sub> film is thus finished, a source region 6 and a drain region 7 are formed by using this gate as a mask.

DIALOG(R)File 352:DERWENT WPI  
(c) 2000 Derwent Info Ltd. All rts. reserv.  
004514393

WPI Acc No: 1986-017737/198603

**Thin film transistor mfr. - includes depositing silicon thin film on  
insulator, covering with insulation, holding substrate in plasma atmos.**

**NoAbstract Dwg 2/2**

Patent Assignee: SUWA SEIKOSHA KK (SUWA )

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
<b>JP 60241269</b>	A	19851130	JP 8497892	A	19840516	198603 B

Priority Applications (No Type Date): JP 8497892 A 19840516

Title Terms: THIN; FILM; TRANSISTOR; MANUFACTURE; DEPOSIT; SILICON; THIN;  
FILM; INSULATE; COVER; INSULATE; HOLD; SUBSTRATE; PLASMA;  
ATMOSPHERE; NOABSTRACT

Derwent Class: L03; U11; U12; U14

International Patent Class (Additional): H01L-021/28; H01L-027/12; H01L-029/78

File Segment: CPI; EPI

## ⑯ 公開特許公報 (A)

昭60-241269

⑮ Int.Cl.

H 01 L 29/78  
21/28  
27/12  
29/62

識別記号

府内整理番号

⑯ 公開 昭和60年(1985)11月30日

8422-5F  
7638-5F  
7514-5F  
7638-5F

審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称

薄膜トランジスタの製造方法

⑯ 特願 昭59-97892

⑯ 出願 昭59(1984)5月16日

⑰ 発明者

岩野英明

諏訪市大和3丁目3番5号 株式会社諏訪精工舎内  
東京都新宿区西新宿2丁目4番1号

⑯ 出願人

株式会社諏訪精工舎

⑯ 代理人

弁理士 最上務

## 明細書

## 1. 発明の名称 薄膜トランジスタの製造方法

## 2. 特許請求の範囲

(1) 絶縁性基板上にシリコン薄膜を堆積する工程と該シリコン薄膜上に絶縁性薄膜を堆積した後、前記基板をプラズマ等離気中に保持する工程とを備えたことを特徴とする薄膜トランジスタの製造方法。

(2) 前記シリコン薄膜上の絶縁性薄膜は、膜厚100~1000Åの二酸化シリコンであることを特徴とする特許請求の範囲第1項記載の薄膜トランジスタの製造方法。

(3) 前記プラズマ等離気が氮素及び水素を含むプラズマ等離気であることを特徴とする特許請求の範囲第1項記載の薄膜トランジスタの製造方法。

## 2. 発明の詳細な説明

本発明は薄膜トランジスタ(以下TFTと称す

る)に關し、特に低圧プロセスにおいて相互コンダクタンスが大きく且つ安定性の優れたTFTの製造方法に関するものである。

TFTは大面积にわたつてスイッチングアレイを形成し易くそのためイメージセンサあるいはディスプレイ電子用のスイッチングアレイを目的に研究が進められている。このような目的に用いられるTFTは、高いオン・オフ比を有し且つ出来る限り低い動作電圧で駆動させるために、高い相互コンダクタンス  $\tau_m$  ( $= \frac{\partial I_D}{\partial V_G}$ ) を有する必要がある。ドレイン電流が飽和している領域では  $\tau_m$  は

$$\tau_m = \frac{W \cdot \mu \cdot C_1}{L} (V_G - V_T)$$

と表わされる。ここでWはチャネル幅、Lはチャネル長、μはチャネル部のキャリアの移動度、C<sub>1</sub>はゲート絶縁膜の容量、V<sub>G</sub>はゲート印加電圧、V<sub>T</sub>は閾値電圧を示している。 $\tau_m$ を高くするためにはいろいろな方法があるが、ゲート絶縁膜の容量を大きくすることも一つの有効な方法である。従来、ゲート絶縁膜には二酸化シリコン

万法を提供するものである。

以下図面に添づき本発明について具体的に説明する。第1図(a)～(e)は本発明に基づく薄膜トランジスタの製造工程を示す。第1図(a)は絶縁性基板として超硬質ガラス(1)を示している。基板としては軟化点の低い並ガラスを使用してもトランジスタの製造は可能である。第1図(b)はCVD法により基板上に多結晶シリコン薄膜(2)は1000～5000Åの膜厚で、形成する。第1図(c)は前記多結晶シリコン薄膜上に耐圧CVD法によりゲート絶縁膜を堆積した状態を示す。ゲート絶縁膜の厚さは100～1000Åにする。このあと上記基板を平行平板型の高周波プラズマ発生装置内に設置する。第2図は該高周波プラズマ発生装置の概要を示す。

(10)の真空槽内の基板ホルダー(11)に前記基板を設置し、排気バルブ(18)を泡して真空に排気する。しかる後ガス導入バルブ(15)を開放して、アンモニア(NH<sub>3</sub>)ガスあるいは水素(H<sub>2</sub>)ガスをキャリアガスとする窒素(N<sub>2</sub>)ガスを真空槽内に導入

する。所定の内圧にした後電極(12)に高周波電圧を印加し、前記導入ガスを分解しプラズマ状態を電極間に誘起する。この場合基板は加熱ヒータ(13)により加熱しておく。こうして発生した電子イオンは前記ゲート絶縁膜のSiO<sub>2</sub>中に進入しSiO<sub>2</sub>膜は欠陥を埋めながら次第に壊化されていく。本実施例における前記プラズマ壊化の条件は、NH<sub>3</sub>ガスの内圧を1.0Torrとし、高周波(周波数1356MHz)電力を20Wとし、基板温度は350℃の低温で60分間の壊化を行なつた。こうしてSiO<sub>2</sub>膜のプラズマ壊化が終了した後、第1図(d)に示すようにアルミニウムゲート(4)を形成し、該アルミニウムゲート(4)をマスクにしてリンイオンを注入(5)するセルフアライメント方式でソース領域(6)、ドレイン領域(7)を形成した。第2図(e)はソース、ドレイン領域へのアルミニウムコンタクトの形成状態を示す。

層間絶縁膜のSiO<sub>2</sub>(9)を堆積した後コンタクトホールを形成し、所定の寸法のソース、ドレイン電極配線(8)を形成する。本発明によるNチャンネ

ル型多結晶シリコンTFTのゲート絶縁膜の耐圧はSiO<sub>2</sub>膜中の欠陥を電子イオンが補償したことにより従来に比較して2倍以上増加し、その結果ゲート絶縁膜の膜厚を薄くしても問題が発生せず、従来のプラズマ壊化をしない電子に比べて相互コンダクタンスは10倍程度改善された。またドレイン電流あるいは閾値電圧の様時変化も本発明による電子ではほとんどみられず、安定なTFTの製造が可能であつた。

本発明によれば高い相互コンダクタンスを有し且つ信頼性の高い薄膜トランジスタを低温プロセスで製造でき、大面積平面ディスプレイのスイッチング電子を提供することができる。

#### 4. 図面の簡単な説明

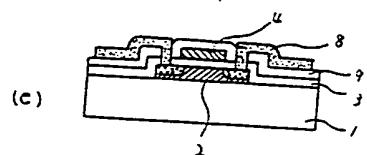
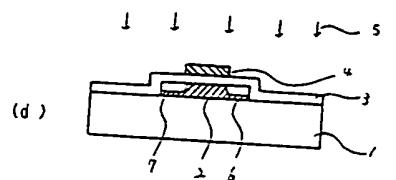
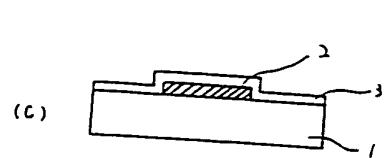
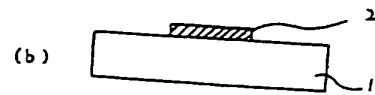
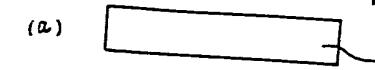
第1図(a)～(e)は本発明によるTFTの製造工程の断面図を示す。

第2図は本発明によるプラズマ壊化装置の構成図である。

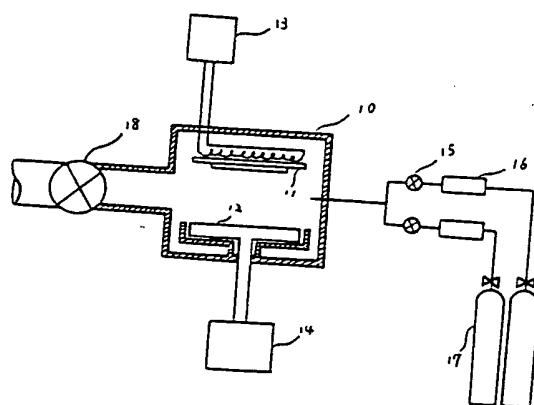
1…絶縁性基板 2…半導体層 3…ゲート絶

機構 4-ゲート電極 6, 7-ソース、ドレイン部 8-ソース、ドレイン電極 9-高周波絶縁膜 10-真空槽 11-基板ホルダ 12-高周波電極 13-基板加熱ヒータ 14-高周波電源 15-ガス導入弁 16-マスフローコントローラ 17-ガスボンベ。

特開昭60-241269(3)



第 1 図



第 2 図